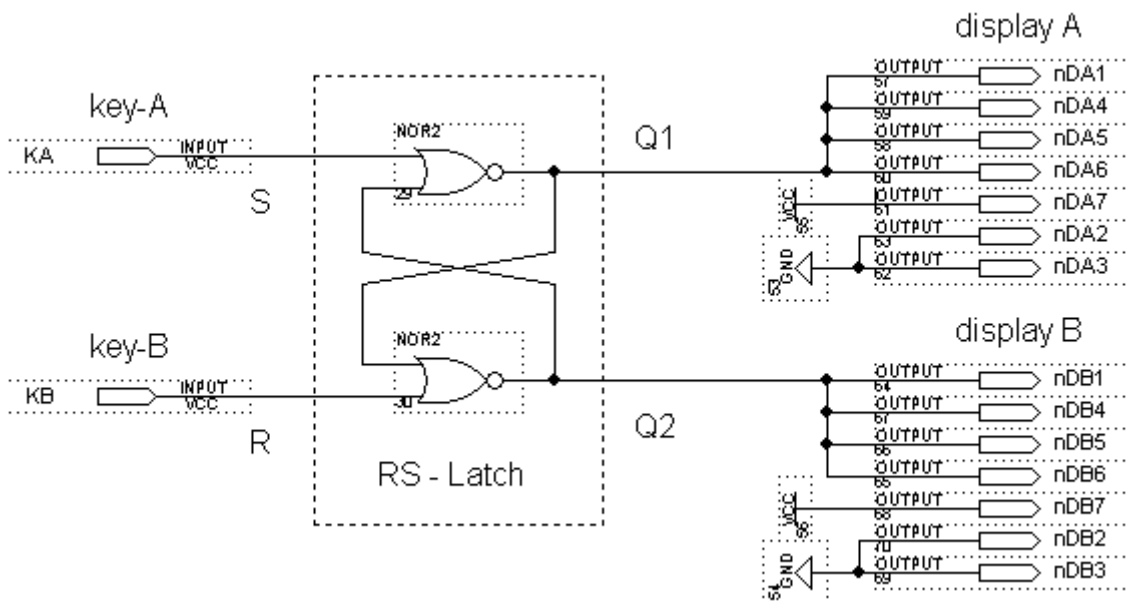


Lösung Versuch Nr. 4

1: Latches

1. *RS – Latch. Legen Sie ein neues Grafik Editor File rs_latch.gdf an (dieses und alle weiteren im Verzeichnis V4 speichern). Zeichnen Sie das Schalt-schema eines RS-Latches mit zwei NOR-Toren (Beuth 7.3).*



SR – Latch mit Eingabetasten und 0/1 Anzeige auf den 7-Segment Displays

Wahrheitstabelle experimentell bestimmen, das Verhalten beschreiben.

Das RS-Latch kann mit S gesetzt, mit R gelöscht (reset) werden.

Im Speicherzustand behalten Q1 und Q2 den letzten regulären Zustand (X=10 nach Reset, X=01 nach Set).

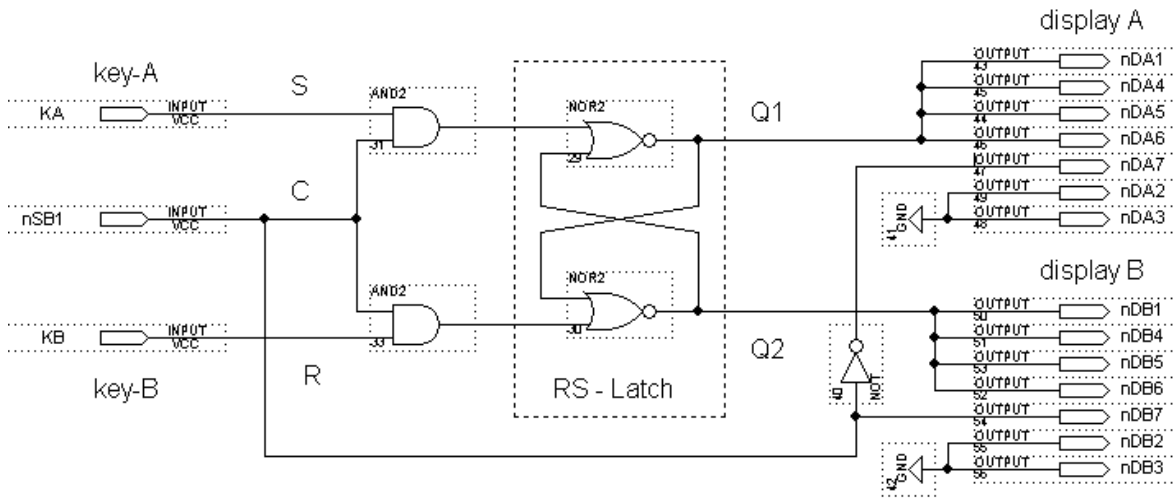
S	R	Q1	Q2	Kommentar
0	0		X	Speicher
0	1	1	0	Reset
1	0	0	1	Set
1	1	0	0	Irregulär

Beim Übergang vom irregulären Zustand (gleichzeitig Set und Reset aktiv) in den Speicherzustand (R und S wechseln gleichzeitig von 1 nach 0) geht das Latch zufällig in den gesetzten oder gelöschten Speicherzustand über (evt durch einen metastabilen Zwischenzustand). Gleichzeitig heisst innerhalb eines Bruchteils einer Tor-Verzögerungszeit (hier $\ll 1\text{ns}$).

2. *Was passiert, wenn Sie den irregulären Fall (Set und Reset miteinander aktiv) durch 'gleichzeitiges' loslassen der beiden Drucktasten verlassen?*

Die Gleichzeitigkeitsbedingung wird nie erfüllt sein, je nach dem welche der beiden Tasten früher losgelassen wird, geht das Latch scheinbar zufällig über den Set- oder Resetzustand in den Speicherzustand über.

3. Ergänzen Sie das elementare RS-Latch mit zwei Eingangstoren (Einlesetore, AND) und einem Taktsignal C (erzeugt mit dem Schalter nSA1)



SR – Latch mit Einlesetoren und Takteingang

Wahrheitstabelle experimentell bestimmen:

Unterschied im Verhalten gegenüber Aufgabe 2 beschreiben:

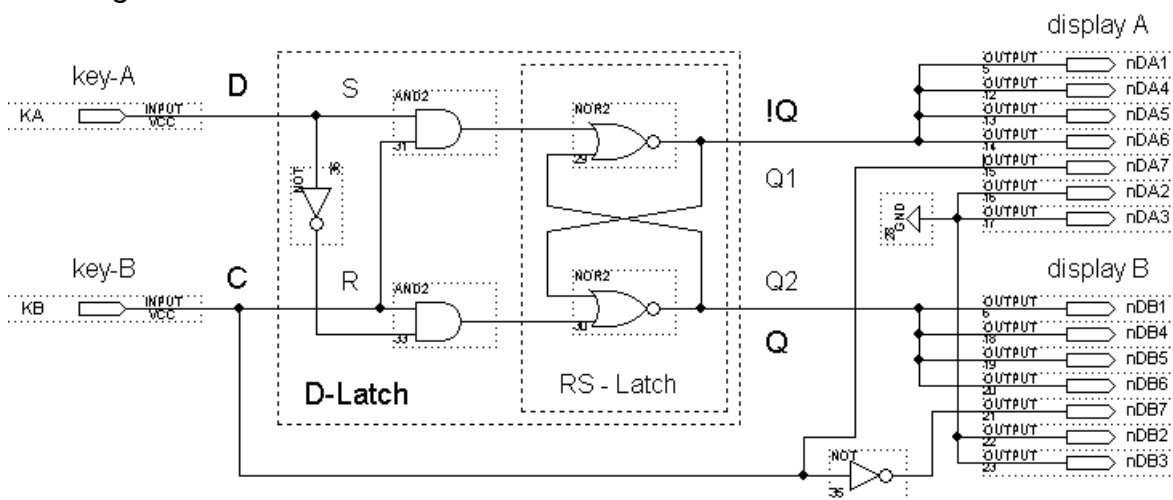
Das RS-Latch mit Eingangstoren kann nur noch während der Taktphase T=1 (transparente Phase) mit S gesetzt, mit R gelöscht (reset) werden.

Während der ganzen Taktphase T=0 (Speicherphase) bleibt unabhängig von R und S der letzte Zustand gespeichert.

Für den Übergang aus dem irregulären Zustand gilt das gleiche wie vorher.

C	S	R	Q1	Q2	Kommentar
0	0	0	Y		Speicher
0	0	1			Speicher
0	1	0			Speicher
0	1	1			Speicher
1	0	0	X		Speicher
1	0	1	1	0	Reset
1	1	0	0	1	Set
1	1	1	0	0	Irregulär

4. Ergänzen Sie das erweiterte RS-Latch zu einem D-Latch



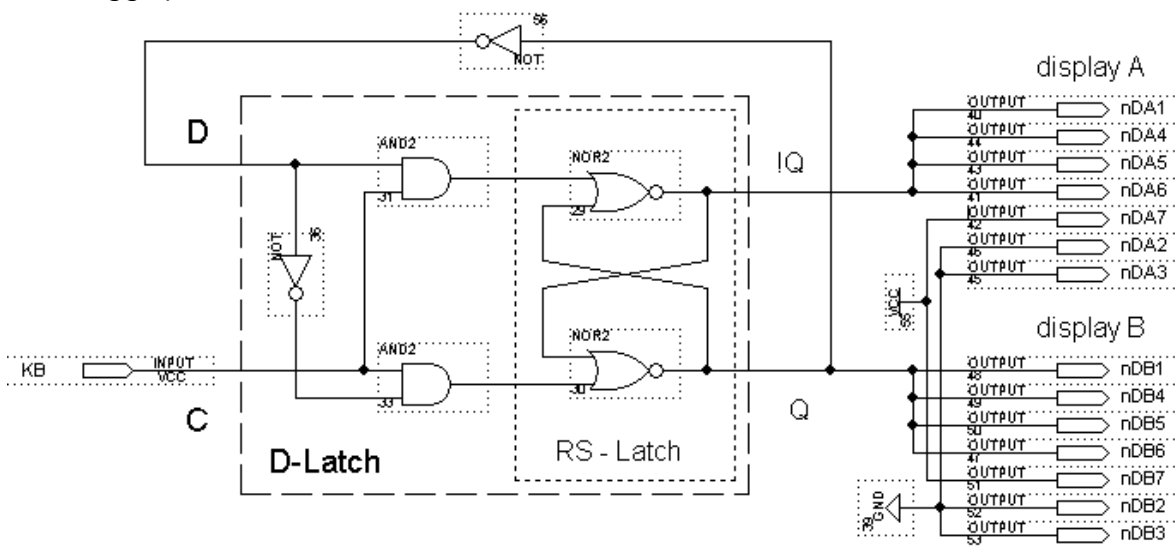
D – Latch

Wahrheitstabelle experimentell bestimmen und das Verhalten beschreiben.

Der irreguläre Zustand des RS-Latches kann nicht mehr vorkommen, ebenfalls der Speicherzustand mit C=1 bei der Version mit Eingangstoren.

C	D	Q1	Q2	Kommentar
0	0	X		Speicher
0	1			Speicher
1	0	0	1	Set
1	1	1	0	Reset

5. Versuchen Sie aus dem D-Latch durch die Einführung einer Rückkopplung vom Q Ausgang über einen Inverter auf den D-Eingang ein T-Latch (T für toggle) zu realisieren..



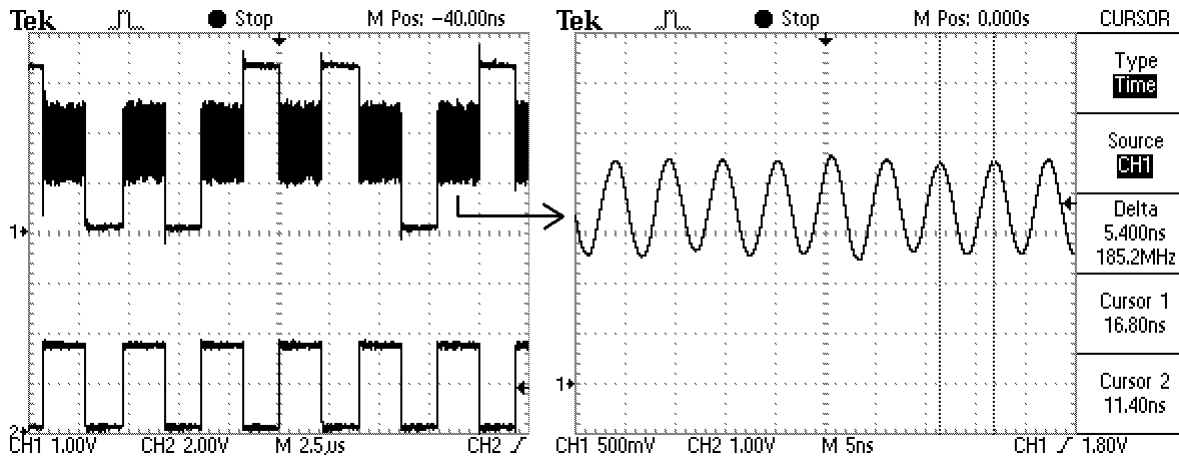
Versuchtes T – Latch

Ein Latch kann nicht als Zähler verwendet werden, dazu sind Flip-Flops nötig: in der Taktphase C=1 Schwingt die Schaltung.

6. Stellen Sie das Ausgangssignal Q des T-Latches auf dem KO bei gedrückter Taste KB (Takt = 1) dar.

Messung mit dem KO (unbedingt Tastkopf verwenden) am Q-Ausgang (einer der Signalpins nDB1, nDB4, nDB5, nDB6 auf Stiflleiste Süd, Pins HS 10, 11, 9, 7. GND-Schschluss des Tastkopfs am besten an Pin HS14 anbringen (möglichst nahe beim Signalpin). Die Schwingung wird bei gedrückter Taste B als Sinus mit ca 1Vpp angezeigt, da der KO zu langsam ist. Die Frequenz beträgt ca 175MHz. Für C=1 bestehen geschlossene Schleifen mit einer ungeraden Anzahl (3) von Inversionen, dadurch wird ein Ringoszillator gebildet!

Der folgende Screen-Shot (TDS220 100MHz Digital-KO) zeigt links unten den vom schnellen onboard Taktgenerator abgenommenen Takt C, links oben das Signal am Ausgang nDB6 mit der Schwingung in der C=1 Taktphase und einem zufälligen stabilen Zustand 0 oder 1 bei C=0, rechts vergrößert die Schwingung bei C=1.

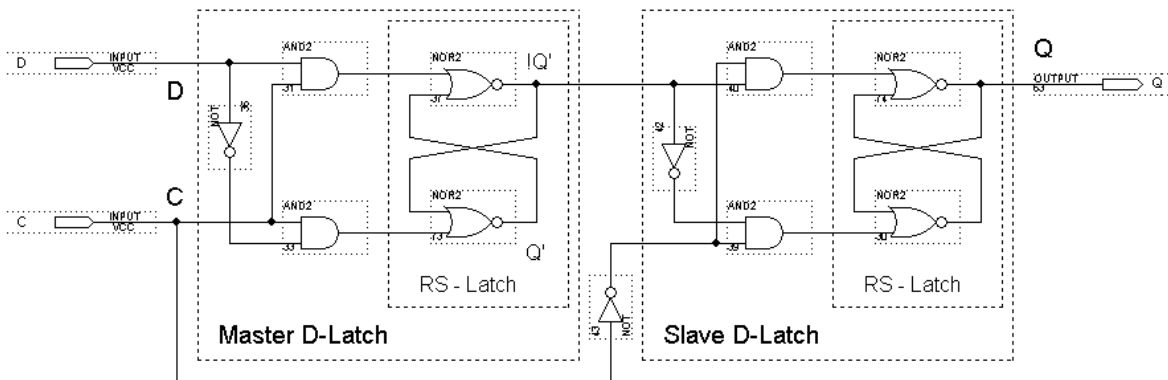


T – Latch Schwingung in C=1 Phase

2: FlipFlops

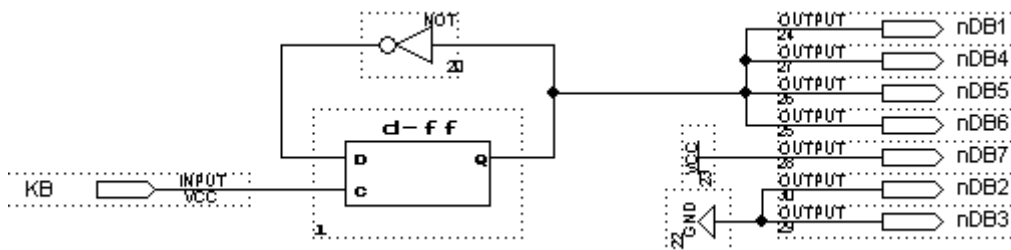
7. .Setzen Sie in einem neuen Graphik-Design-File (d_ff.gdf) aus 2 D-Latches ein Master-Slave D-Flip-Flop zusammen..

Der Takt des zweiten Latches muss gegenüber dem ersten invertiert sein. Um kompatibel mit dem D-Flip-Flop aus der prim Bibliothek von MAX+ zu sein wird nur ein Ausgang (Q) nach aussen geführt.



D – Flip-Flop aus 2 D-Latches

8. Bauen Sie in einem neuen Graphik-Design-File (t_ff.gdf) das D-Flip-Flop zu einer 1-Bit Zählstufe, einem T-Flip-Flop aus. Das T-Flip-Flop ändert bei jedem Taktimpuls seinen Zustand. Dies wird durch die Rückführung des invertierten Ausgangssignals (Q) auf den D-Eingang erreicht.



T – Flip-Flop aus D-Flip-Flop mit 0 -1 Anzeige

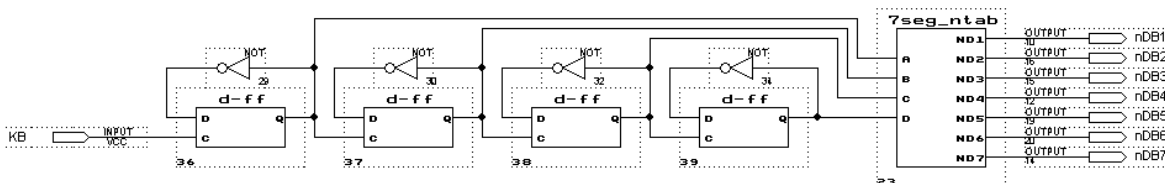
9. Auf welche Taktflanke (aktive Taktflanke) ändert Ihr T-Flip-Flop den Zustand?

Auf die fallende Flanke (1 – 0 Übergang des Taktes, die fallende Flanke ist die aktive Taktflanke des Flip-Flops), wenn der invertierte Zustand vom Master- in das Slave-Latch übertragen wird (die Eingangstore des Slave-Latches werden geöffnet, diejenigen des Master-Latches geschlossen).

3: Asynchron Zähler

10. Bauen Sie als neues Projekt einen 4-Bit Asynchronzähler aus 4 der im Teil 2 gebauten D-Flip-Flops auf.

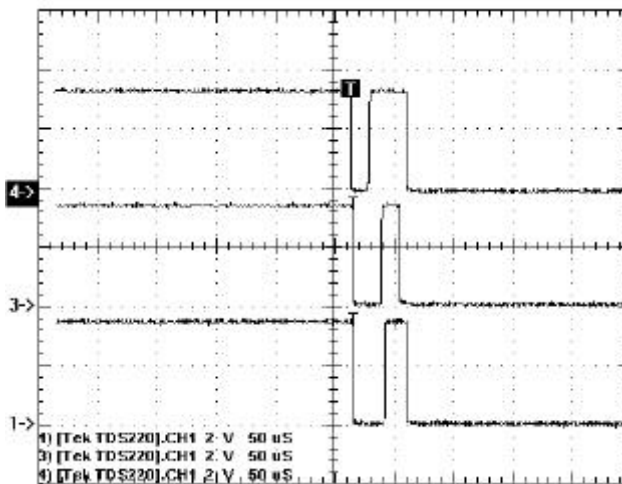
D-Flip-Flops mit invertierte Rückführung als T-Flip-Flop betreiben, jeweils Takteingang der folgenden Stufe mit Q-Ausgang der vorausgehenden verbinden.



4-Bit asynchron Zähler mit 7-Segment Anzeige

11. An Stelle der Taste KB den Schalter nSA1 zur Eingabe des Taktsignals verwenden. Zählt der Zähler damit immer noch bei jedem Ein-Ausschalten um genau Eins weiter? Wenn nicht, suchen Sie das Verhalten zu erklären.

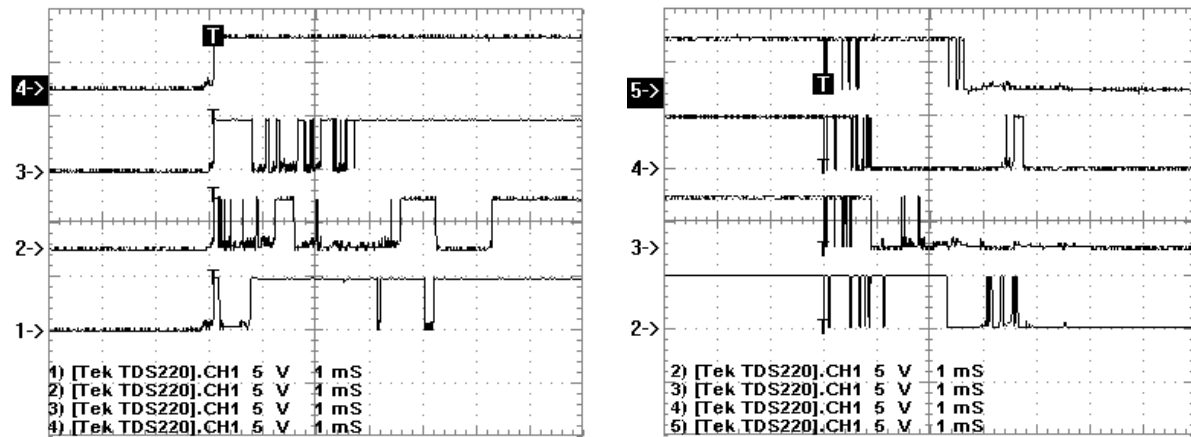
Die Drucktasten (KB und KA) sind auf dem Board mit RC-Glied und Schmitttrigger entprellt, die Schalter (SA und SB) dagegen nicht. Diese mechanischen Schalter können (und tun dies auch meistens) beim Öffnen und Schliessen prellen, das heisst, kurzzeitig (bis Millisekunden) wiederholt den Zustand wechseln. Nebenstehendes Bild zeigt Beispiele des am Schalter SA4 gemessenen Prellens beim Einschalten. Der sehr rasche Zähler zählt jeden dieser Prellimpulse und kann deshalb beim Öffnen und Schliessen des Schalters um mehrere Werte weiterspringen.



Beispiel Einschaltprellen Schalter SA

Das folgende Bild zeigt den an einer sehr stark prellenden Drucktaste gemessenen Spannungsverlauf beim Aus- und Einschalten als weitere Beispiele des Prellens mechanischer Kontakte.

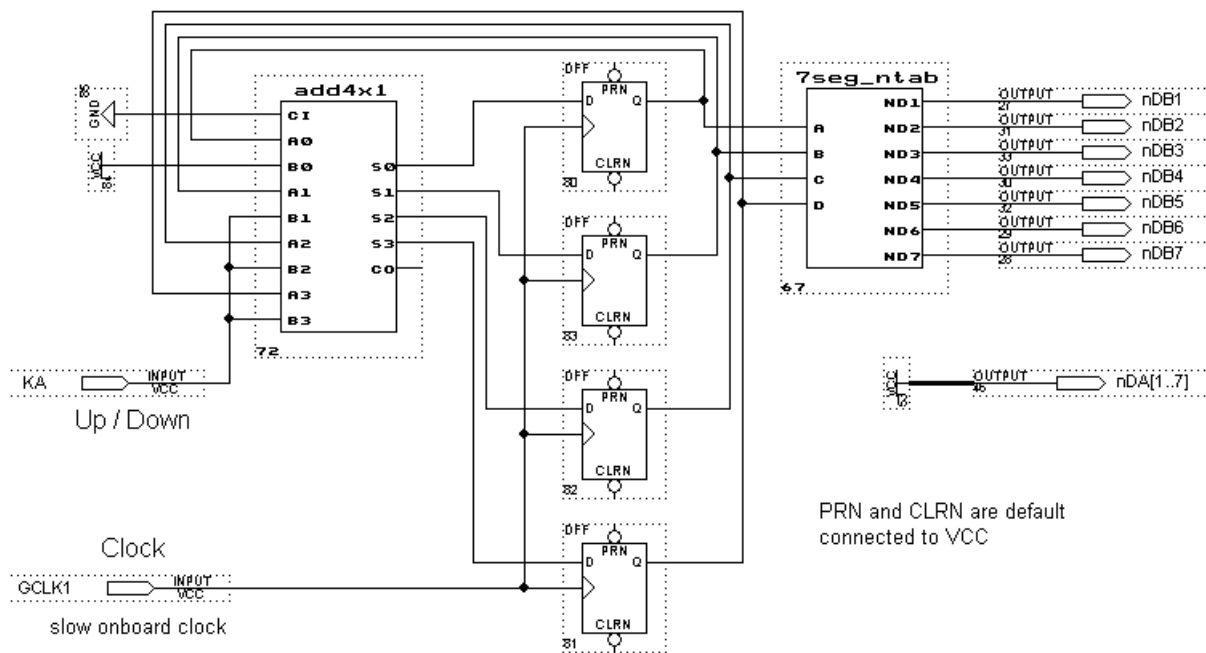
Die zur Entprellung von Schaltern am häufigste Schaltung mit RC-Tiefpass und Schmitttrigger ist auch auf dem Schaltschema des SB2-Boards zu finden.



Beispiele einer sehr stark prellenden Drucktaste

4: Synchron Zähler

12. Bauen Sie als neues Projekt einen 4-Bit Synchronzähler aus 4 D-Flip-Flops und dem 4-Bit Addierer aus dem Versuch 3 auf.



4-Bit synchroner Up-Down Counter aus 4-Bit D-Register und Addierer.